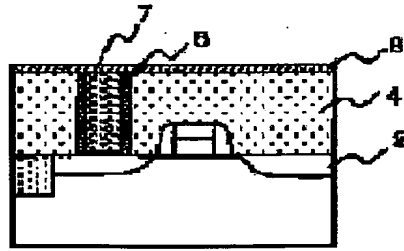


PatentWeb
HomeEdit
SearchReturn to
Patent List

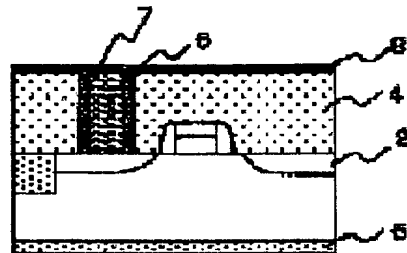
Help

☒ Include in patent orderMicroPatent^(R) Worldwide PatSearch: Record 1 of 1

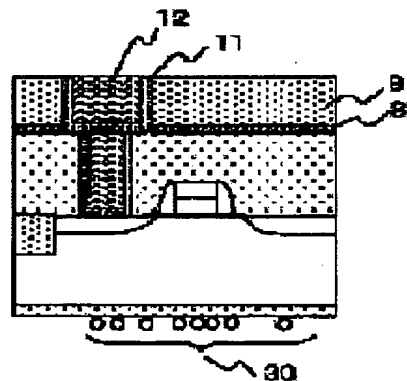
(a)



(b)



(c)



Family Lookup

JP2000150640
MANUFACTURE OF SEMICONDUCTOR DEVICE
NEC CORPInventor(s): AOKI HIDEMITSU
Application No. 10316324 , Filed 19981106 , Published 20000530

Abstract:

PROBLEM TO BE SOLVED: To prevent degradation of characteristics of a device and current leak due to metal contaminants such as copper or a compound of copper adhered to the reverse side of a semiconductor substrate, by forming a copper base metal film on the major surface of the semiconductor substrate after forming a barrier film on the reverse side of the semiconductor substrate.

SOLUTION: A barrier film 5 of SiO₂ is formed by plasma CVD method on the reverse side of a substrate. A silicon oxide film 9 as interlayer insulating film is successively formed by plasma CVD method on the device forming surface of the substrate. Then, for forming wiring grooves, first, the silicon oxide film 9 is etched by using a mixed gas containing Ar, CO or the like, and then the silicon nitride film 8 is etched by using a CHF₃ base gas. After completion of etching, a barrier metal film 11 of Ti and TiN is deposited by sputtering method on the whole surface. A seed metal film of copper on which copper plating is to be grown is successively deposited on it by sputtering. A copper plating film 12 is successively formed by electrolytic plating by immersing the substrate into a copper sulphate solution.

Int'l Class: H01L021768 H01L021283 H01L0213205

MicroPatent Reference Number: 001491488

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-150640

(P2000-150640A)

(43) 公開日 平成12年5月30日 (2000.5.30)

(51) Int.Cl.⁷

識別記号

F I

テマコード (参考)

H 0 1 L 21/768
21/283
21/3205

H 0 1 L 21/90
21/283
21/88

Z 4 M 1 0 4
C 5 F 0 3 3
M

審査請求 有 請求項の数12 O L (全 9 頁)

(21) 出願番号

特願平10-316324

(22) 出願日

平成10年11月6日 (1998.11.6)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 青木 秀充

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

Fターム (参考) 4M104 AA01 BB01 BB04 BB14 CC01

DD08 DD37 DD52 DD75 DD79

FF14 FF17 FF18 GG09 HH20

5F033 JJ18 JJ19 JJ33 MM01 PP15

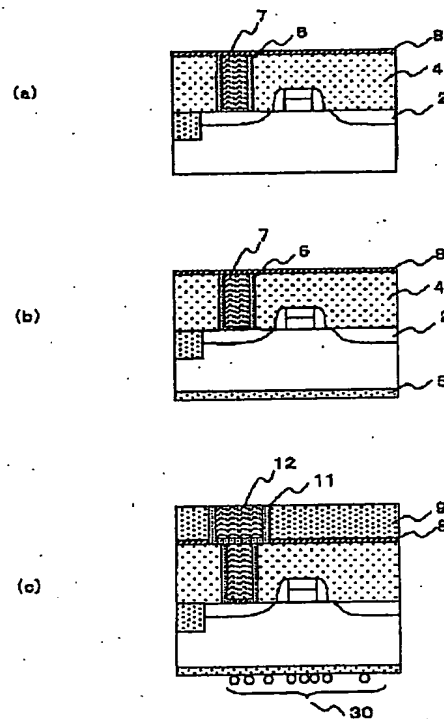
PP27 QQ89 SS15 XX21

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 銅系金属膜の形成工程を含む半導体装置の製造方法において、半導体基板の裏面に付着した銅や銅化合物等の金属汚染物による素子の特性劣化や電流リークを防止すること。

【解決手段】 半導体基板の裏面にシリコン酸化膜等のバリア膜5を形成する。その後、半導体基板の主面に銅系金属膜を形成する。



【特許請求の範囲】

【請求項1】 半導体基板の裏面にバリア膜を形成した後、半導体基板の主面に銅系金属膜を形成することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の主面にゲート電極および拡散層を形成した後、熱処理を行う工程と、半導体基板の裏面にバリア膜を形成する工程と、半導体基板の主面に銅系金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板の主面にゲート電極および拡散層を形成した後、熱処理を行う工程と、前記ゲート電極および拡散層の上に絶縁膜を形成した後、該絶縁膜中に、前記ゲート電極および／または前記拡散層に達するコンタクトプラグを形成する工程と、半導体基板の裏面にバリア膜を形成する工程と、半導体基板の主面に銅系金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記銅系金属膜の形成は、銅系金属膜を成膜した後、該銅系金属膜の不要部分を除去することにより行うことを特徴とする請求項1乃至3いずれかに記載の半導体装置の製造方法。

【請求項5】 前記銅系金属膜の不要部分の除去を化学的機械的研磨により行うことを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】 前記銅系金属膜の成膜は、銅系金属材料を用いてめっき処理した後、基板温度を300℃以上としてアニール処理することにより行うことを特徴とする請求項4または5に記載の半導体装置の製造方法。

【請求項7】 前記バリア膜は、シリコン酸化膜であることを特徴とする請求項1乃至6いずれかに記載の半導体装置の製造方法。

【請求項8】 前記バリア膜は、Ta、Ta₂N₅、TiN、Si₃N₄またはSiONからなる第一の膜とシリコン酸化膜からなる第二の膜からなる複合膜であって、最表面に前記第二の膜を配置した膜であることを特徴とする請求項1乃至6いずれかに記載の半導体装置の製造方法。

【請求項9】 前記シリコン酸化膜を、CVD法により形成することを特徴とする請求項7または8に記載の半導体装置の製造方法。

【請求項10】 前記銅系金属膜を形成した後、前記バリア膜の表面を洗浄液により洗浄することを特徴とする請求項1乃至9いずれかに記載の半導体装置の製造方法。

【請求項11】 前記洗浄液は、銅系汚染物との錯体形成能力を有する錯化剤を含むことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 前記錯化剤は、(a)ポリアミノカルボン酸類、(b)ポリアミノカルボン酸類を除くカルボン酸類、および(c)フッ化アンモニウムからなる三種

の化合物群から選択された一種または二種以上の化合物を含むことを特徴とする請求項11に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体基板上に銅系金属膜からなる配線や接続プラグを備えた半導体装置の製造方法に関する。

【0002】

10 【従来の技術】銅配線を備えた半導体装置の従来の製造方法について、図4～7を参照して説明する。

【0003】まず、シリコン基板1の表面に素子分離領域21を形成した後、ゲート電極3および不純物拡散層2を形成し、層間絶縁膜としてシリコン酸化膜4をプラズマCVD法にて形成する(図4(a))。

20 【0004】ついでシリコン酸化膜4中に不純物拡散層2に達するコンタクトホールをドライエッチングにより形成する。さらに、Ti/TiN膜6、タングステン膜7をこの順で形成し、ホール外部のTi/TiN膜6、タングステン膜7の不要箇所を化学的機械的研磨(Chemical Mechanical Polishing: CMP)により除去してタングステンプラグを形成する。ついでこの上に全面にシリコン窒化膜8をプラズマCVD法にて形成する(図4(b))。

30 【0005】つづいてその上に層間絶縁膜としてシリコン酸化膜9をプラズマCVD法にて形成する。次に配線溝を形成するため、2段階のドライエッチングを行う。まずC₄F₈、Ar、O₂、COを含む混合ガスを用いてシリコン酸化膜9をエッチングし、ついでCHF₃系のガスを用いてシリコン窒化膜8をエッチングする(図4(c))。

40 【0006】エッチング終了後、Ti/TiN膜11をスパッタリング法により堆積する。つづいてこの上に銅めっきを成長させるための銅からなるシード金属膜12をスパッタリング法により堆積する(不図示)。さらに、基板を液温約2.5℃の硫酸銅水溶液に浸漬し、銅めっき膜12を電解めっき法により、シード金属膜上に選択的に形成する。膜厚は平坦部で1000nm程度とする。めっきの際、半導体基板の裏面には銅や銅化合物(Cu、CuO等)等の銅系金属汚染物質30が多数付着する。この状態を図5(a)に示す。

【0007】この銅系金属汚染物質30を希フッ酸と過酸化水素水の混合液を用いて除去した後(図5(b))、400℃で30分程度、アニールを行う。これにより、銅めっき膜を構成するグレインが成長し、抵抗値が低下するとともに安定化する。

50 【0008】つづいてホール外部のTi/TiN膜11、銅めっき膜12の不要箇所をCMPにより除去して銅配線を形成する。CMPを行った際、半導体基板の裏面には銅や銅化合物等の銅系金属汚染物質30が多数付

着する。この状態を図6(a)に示す。

【0009】この銅系金属汚染物質30を希フッ酸と過酸化水素水の混合液を用いて除去した後(図6

(b))、さらに上部に層間絶縁膜を成膜し、上層配線を形成して半導体装置を完成する(図7)。

【0010】

【発明が解決しようとする課題】上記従来技術では、図5(a)や図6(a)に示すように、銅系金属の成膜や加工(CMPや銅配線上のホール形成等)を行う工程において、銅や銅化合物等の金属汚染物が基板裏面に付着する。特に銅系金属の成膜工程や銅系金属のCMP工程において、このような銅系金属汚染物質が多数付着する。このような金属汚染物は、その後の熱処理工程で基板中を拡散して素子領域に到達し、素子の特性を劣化させるとともに電流リークを引き起こす原因となる。金属汚染物の拡散の問題は、たとえば300℃以上の高温での熱処理を行ったときに顕著に発生する。

【0011】上記の問題を回避するため、銅系金属膜の形成工程を含む半導体装置を製造する場合、銅系金属の成膜工程や銅系金属の加工工程の後、その都度、基板裏面を洗浄する必要があった。例えば8層からなる銅配線を作製する場合、上記の目的の洗浄をおよそ50~80回程度行う必要があり、工程の煩雑化を招いていた。

【0012】また、銅系金属汚染物質は、タンゲステン、鉄、ニッケル、アルミニウム等と異なりシリコン基板表面からの除去が困難なため、洗浄により完全に除去することが難しい。銅系金属汚染物質は高い酸化還元電位を有するため、銅イオンとシリコン基板との間で酸化還元反応が起こりシリコン基板上に銅が逆吸着するからである。

【0013】このため、相当回数の洗浄を行っても銅系金属汚染物質が残存することがあった。残存した銅系金属汚染物質は、図7のように基板中を拡散し、不純物拡散層やゲート酸化膜、素子分離酸化膜等に到達して素子の特性劣化や電流リークを引き起こす原因となる。

【0014】上述した問題は、銅がシリコン基板中を非常に大きい速度で拡散することに起因して生じる。すなわち上記課題は銅系金属膜を形成した場合に特有の課題である。

【0015】なお上記従来技術において、タンゲステンをCMPにより研磨する工程があり、この工程でも金属汚染物が基板裏面に付着する。しかしながらこの金属汚染物はタンゲステン粒子やCMPの研磨剤由来の鉄粒子等であるため、シリコン基板中へ拡散して素子領域に悪影響を及ぼすといった上述の問題はほとんど生じない。タンゲステンや鉄の粒子はシリコン基板中への拡散速度が非常に小さく、その後の熱処理工程で基板裏面から素子領域に到達することは稀であり、また、特にタンゲステン粒子はシリコン基板から剥離しやすいからである。また、最終工程で基板の裏面を研磨することで除去する

こともできる。

【0016】

【課題を解決するための手段】上記の点に鑑み、本発明は、銅系金属膜の形成工程を含む半導体装置の製造方法において、半導体基板の裏面に付着した銅や銅化合物等の金属汚染物による素子の特性劣化や電流リークを防止することを目的とする。

【0017】本発明によれば、半導体基板の裏面にバリア膜を形成した後、半導体基板の主面に銅系金属膜を形成することを特徴とする半導体装置の製造方法が提供される。

【0018】上記半導体装置の製造方法は、バリア膜形成後に銅系金属膜を形成している。このため銅系金属膜の形成により生じる銅系汚染物質は、半導体基板裏面に形成されたバリア膜の表面に付着する。バリア膜中の銅系汚染物質の拡散速度はきわめて遅いため、拡散防止膜としての機能を果たし、銅系汚染物質が半導体基板中へ拡散することを防止できる。このため、銅系金属の成膜や銅配線上の溝の形成等を行った後、その都度基板裏面を洗浄する必要がなく、成膜装置等に対するクロス汚染を防止するための洗浄のみで済み、工程を大幅に短縮することができる。またバリア膜に付着した銅系金属汚染物質は、シリコン基板表面に付着した場合と比べはるかに容易に除去でき、かかる汚染物質の拡散に伴う問題を効果的に解消することができる。

【0019】なお、本発明において銅系金属膜とは、銅または銅合金から金属膜をいう。銅合金とは、たとえば銅/アルミニウム合金等をいう。

【0020】また本発明によれば、半導体基板の主面にゲート電極および拡散層を形成した後、熱処理を行う工程と、半導体基板の裏面にバリア膜を形成する工程と、半導体基板の主面に銅系金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0021】この半導体装置の製造方法では、半導体基板の主面にゲート電極および拡散層を形成し、熱処理を行う工程の後にバリア膜を形成する。このため熱処理時においては基板の裏面にバリア膜が形成されておらず、熱処理の温度制御を高精度に行うことができる。

【0022】上記熱処理はゲート電極や拡散層に含まれる不純物を活性化するために行われるものであり、熱処理の方法として、短時間で効率的に活性化を行うことのできるランプアニール等のRTA(Rapid Thermal Annealing)が好ましく用いられる。ここでRTAによる熱処理は、通常、基板表面温度900~1100℃とし、アニール時間10~60秒程度とする処理条件がとられるため、高精度の温度制御性が要求される。ところがRTAを行う際、基板裏面にバリア膜が形成されていると、基板材料とバリア膜材料の熱伝導率や比熱の相違により、高精度の温度制御が困難となる。本発明は、この

ような熱処理を行った後にバリア膜を形成することにより上記問題を回避している。

【0023】また本発明によれば、半導体基板の主面にゲート電極および拡散層を形成した後、熱処理を行う工程と、前記ゲート電極および拡散層の上に絶縁膜を形成した後、該絶縁膜中に、前記ゲート電極および/または前記拡散層に達するコンタクトプラグを形成する工程と、半導体基板の裏面にバリア膜を形成する工程と、半導体基板の主面に銅系金属膜を形成する工程とを有することを特徴とする半導体装置の製造方法が提供される。

【0024】半導体装置の製造において、基板の搬送や成膜処理の際、半導体基板をホルダーに保持する必要がある。ところが基板裏面に静電気が帯電していると、十分に基板を保持できないことがある。また、いったんホルダーに保持した基板を取り外すことが困難となり、取り外しの為の操作が必要となったり、取り外しの際、基板が損傷することがある。したがって半導体基板の裏面の静電気の帯電は、極力避けることが望ましい。

【0025】ところが、半導体基板の裏面に形成されるバリア膜（シリコン酸化膜等）は、シリコン基板と比較して静電気を帯電しやすい。このためバリア膜を形成する時期は、バリア膜を必要とする銅系金属膜の形成工程の直前とすることが好ましい。

【0026】本発明は、コンタクトプラグを形成する工程を含むものである。コンタクトプラグは素子領域に近接した位置に設けられることから、プラグ内の埋め込み金属としては、通常、銅系金属は使用されず、タングステン等が用いられる。したがってコンタクトプラグ形成工程においては裏面のバリア膜は必要でなく、この工程の後にバリア膜を形成することが好ましい。本発明では、このような観点からコンタクトプラグ形成後に裏面のバリア膜を形成することとしている。これにより、タングステン等の成膜やその後のCMPを行う際、あるいは基板を搬送する際に、基板の保持および取り外しを円滑に行うことができる。

【0027】本発明においてコンタクトプラグはたとえば以下のようにして形成する。まず絶縁膜中にゲート電極および/または拡散層に達するコンタクトホールをドライエッチングにより形成する。次にTi、TiN等からなるバリアメタル膜、およびタングステン等の導電膜をこの順で形成する。その後、CMPによりバリアメタル膜および導電膜の不要部分を除去することによりコンタクトプラグを形成する。

【0028】

【発明の実施の形態】本発明において、銅系金属膜の形成は、銅系金属膜を成膜した後、該銅系金属膜の不要部分を除去することにより行うことができる。この場合、成膜および不要部分の除去の両工程において銅系金属汚染物質が基板裏面に付着するが、特に不要部分の除去工程での付着が激しくなる。本発明の製造方法によれば、

基板裏面にバリア膜を設けているため、銅系金属汚染物質が付着しても基板中に拡散することがなく、素子の特性劣化や電流リークを防止することができる。

【0029】除去工程における銅系金属膜の不要部分の除去は、化学的機械的研磨（Chemical Mechanical Polishing ;CMP）によることが好ましい。CMPを採用した場合、ダマシンプロセスによりエッチングの困難な銅系金属膜の配線等を容易に形成できるという利点を有する反面、基板裏面への銅系金属汚染物質の付着が特に激しくなり、汚染の問題がより顕著となる。このため従来技術においてCMPを用いる場合、より入念に洗浄することが必要とされていた。また、CMPにより生じた銅系金属汚染物質が洗浄により除去しきれず、これらが基板中に拡散するという問題も頻発していた。この点、本発明の製造方法では基板裏面にバリア膜を設けているため、銅系金属汚染物質が付着しても基板中に拡散することがなく、上記問題が解消される。

【0030】本発明における成膜工程は、銅系金属膜を形成した後、基板温度を300℃以上としてアニール処理することにより銅系金属膜を成膜する工程とすることができ、銅系金属膜の形成方法としては、スパッタ法、CVD法およびめっき法が主として用いられる。このうち、めっき法、特に電解めっき法は、良好なカバレッジが得られるとともに、プロセスが比較的簡便であるという利点を有する。めっき法を用いる場合は、300℃以上の高温（通常、400℃以下）で30～90分程度、アニールを行うことが必要となる。銅めっき膜を構成するグレインを成長させ、抵抗値を低下し安定化するためである。ところがこのような高温での処理を行うと基板裏面に残存した銅系金属汚染物質が基板中に拡散するという問題が生じる。この点、本発明の製造方法では基板裏面にバリア膜を設けているため、銅系金属汚染物質が付着しても基板中に拡散することがなく、上記問題が解消される。

【0031】本発明におけるバリア膜の材料は、少なくともシリコン基板よりも銅系金属汚染物質が拡散しにくい材料とする。たとえば、300～600℃の高温における銅の拡散定数が、単結晶シリコンと比較して1/3以下の材料とする。具体的には、シリコン酸化膜やシリコン窒化膜が好ましく用いられる。このような膜とすれば、銅系金属汚染物質の半導体基板中への拡散を防止できるとともに、銅系金属汚染物質を洗浄により容易に除去することができる。また、バリア膜を、Ta、Ta₂N₅、TiN、SiNまたはSiONからなる第一の膜とシリコン酸化膜からなる第二の膜からなる複合膜であって、最表面に上記第二の膜を配置した膜とすることもできる。上記第一の膜は、複合膜銅系金属汚染物質に対し、シリコン酸化膜よりもさらに高いバリア性を有するため、汚染物質の基板への拡散をより効果的に防止することができる。この場合、第二の膜を最表面に配置する

ことが必要となる。TaやTiなどの金属がむき出しになり、これらの金属が半導体製造装置に付着する等してクロス汚染の原因になったり、SiN膜などが剥がれて塵汚染の原因になるからである。

【0032】バリア膜の材料にシリコン酸化膜を用いる場合、CVD法により形成されたシリコン酸化膜とすることが好ましい。CVD法を用いれば、熱酸化法を用いた場合と異なり工程の自由度が大きいからである。たとえば、バリア膜形成方法として熱酸化法を採用する場合は、800℃以上の高温プロセスであるためゲート電極や拡散層の形成前にバリア膜を形成する必要がある。ところがこのようにすると、ゲート電極および拡散層を形成した後、熱処理を行う際、前述のように温度制御が困難になる場合がある。特にランプアニール等のRTAにより熱処理する場合、かかる問題が顕著となる。この点、上記熱処理後にCVD法により形成されたシリコン酸化膜をバリア膜とすれば、このような問題を解消できる。

【0033】バリア膜の膜厚は、好ましくは30～500nm、さらに好ましくは80～200nmとする。300nm以上とすれば銅系金属汚染物質の基板への拡散を十分に防止できる。また500nm以下とすればバリア膜の静電気の帯電を最小限にし、搬送や成膜処理の際の基板の保持および取り外しを円滑に行うことができる。なおバリア膜を、Ta、Ta₂N、TiN、SiNまたはSiONからなる第一の膜とシリコン酸化膜からなる第二の膜からなる複合膜とする場合は、合計の膜厚を上記範囲内とすることが好ましく、さらに第一の膜を、好ましくは10～200nm、さらに好ましくは20～100nmとする。

【0034】本発明において銅系金属膜形成工程の後、銅系金属膜形成の専用装置から銅系金属以外も扱う装置に移して処理をするときには、少なくとも、バリア膜の表面を洗浄する必要がある。これは、バリア膜を有していない一般のウエハ裏面に、銅系金属汚染物質が付着してクロス汚染することを防止するためである。ここで、バリア膜の表面は洗浄液により洗浄することが好ましい。洗浄液を使用しないドライ洗浄とすることもできるが、洗浄液を用いたウェット洗浄とすることにより銅系金属汚染物質を効果的に除去することができる。なお、銅系金属膜の形成は、銅系金属膜を成膜した後、該銅系金属膜の不要部分を除去することにより行うことができるが、この場合は、銅系金属膜の不要部分除去後にバリア膜表面を洗浄する。

【0035】洗浄液としては、希フッ酸や希フッ酸と過酸化水素水の混合液等を用いることもできるが、銅系汚染物との錯体形成能力を有する錯化剤を含む洗浄液とし、フッ酸を含まない洗浄液とすることが好ましい。希フッ酸等を用いるとバリア膜が膜減りし、多層配線を作製する場合、バリア膜を再度形成する必要が生じること

がある。特にバリア膜としてシリコン酸化膜を用いると、上記のようなことが起こりやすくなる。一方、銅系汚染物との錯体形成能力を有する錯化剤を含む洗浄液により洗浄する場合、膜減りの問題が無い上、銅系金属汚染物質の残存量を著しく低減できる。このような錯化剤の例としては、(a)ポリアミノカルボン酸類、(b)ポリアミノカルボン酸類を除くカルボン酸類、および(c)フッ化アンモニウムからなる三種の化合物群から選択された一種または二種以上の化合物を含むことが好ましい。このような錯化剤を用いれば、基板裏面のバリア膜をエッチングすることなくバリア膜に付着した金属汚染物を効果的に除去することができ、金属汚染の再付着を防止することができる。

【0036】(a)ポリアミノカルボン酸類とは、分子内に複数のアミノ基と複数のカルボキシル基を有するカルボン酸およびその塩をいう。例えば、エチレンジアミン四酢酸(EDTA)、トランス-1,2-シクロヘキサジアミン四酢酸(CyDTA)、ニトリロトリ酢酸(NTA)、ジエチレントリアミンペンタ酢酸(DTPA)、N-(2-ヒドロキシエチル)エチレンジアミン-N, N', N'-トリ酢酸(EDTA-OH)等の化合物、またはこれらの塩が挙げられる。塩を用いる場合は、半導体装置の特性に悪影響を及ぼさない塩が好ましく、特にアンモニウム塩のように金属を含まない塩が好ましい。ポリアミノカルボン酸類の添加量は、洗浄液に対し1～1,000ppmとすることが好ましい。この濃度が薄すぎると十分なキレート効果が得られず、逆に濃すぎると基板表面に有機物が残存して半導体素子の性能を劣化させる要因になったり、廃液の処理に費用がかかることとなる。

【0037】(b)ポリアミノカルボン酸類を除くカルボン酸類としては、たとえば、シュウ酸、クエン酸、リンゴ酸、マレイン酸、コハク酸、酒石酸、マロン酸またはこれらの塩が挙げられる。塩を用いる場合は、半導体装置の特性に悪影響を及ぼさない塩が好ましく、特にアンモニウム塩のように金属を含まない塩が好ましい。カルボン酸類の添加量は、洗浄液に対し0.05～5%とすることが好ましい。この濃度が薄すぎると十分なキレート効果が得られず、逆に濃すぎると基板表面に有機物が残存して半導体素子の性能を劣化させる要因になったり、廃液の処理に費用がかかることとなる。

【0038】以上の成分の他、(c)フッ化アンモニウムを用いることもできる。添加量は、洗浄液に対し1～1,000ppmとすることが好ましい。

【0039】本発明において、上記(a)ポリアミノカルボン酸類と、(b)ポリアミノカルボン酸類を除くカルボン酸類の両方を含む錯化剤を用いれば、さらに優れた金属汚染物除去効果を得ることができる。この理由は明らかではないが、ポリアミノカルボン酸類とポリアミノカルボン酸類以外のカルボン酸類とでは、有効に作用

する金属汚染物の種類が若干異なっていることによるものと推察される。銅系金属膜の成膜やCMP、あるいは、銅系金属膜上の絶縁膜のドライエッチングにより生じた銅系金属汚染物質は、複数の化合物が混在しているものと考えられる。したがって、適用範囲の異なるポリアミノカルボン酸類とポリアミノカルボン酸類以外のカルボン酸類の両方を含む洗浄液を用いれば、これらが補完的に作用し、広範囲の金属化合物からなる汚染物の除去が可能となる。なお、この場合の(a)ポリアミノカルボン酸類、(b)ポリアミノカルボン酸類を除くカルボン酸類の好ましい添加量は、上述した添加量と同様である。

【0040】本発明の半導体装置の製造方法のうち、コンタクトプラグを形成する工程を含むものについては、コンタクトプラグの形成工程とバリア膜の形成工程との間に、シリコン窒化膜等のエッチングストッパー膜や層間絶縁膜を形成してもよい。たとえば、コンタクトプラグ形成後、層間絶縁膜を形成し、その後、銅系金属膜形成工程を行っても良い。

【0041】銅系金属膜の形成はダマシン法等を用いることができる。たとえば、層間絶縁膜の所定箇所に凹部を形成した後、凹部を埋め込むように銅系金属膜を成膜し、さらに銅系金属膜の不要部分を除去することにより銅系金属膜を形成することができる。銅系金属膜の不要部分の除去は、CMP等により行う。

【0042】

【実施例】(実施例1)本実施例について図1～3を参照して説明する。

【0043】まず、シリコン基板1の表面に素子分離領域21を形成した後、シリコン基板1上に多結晶シリコンからなるゲート電極3を形成し、全面に BF_3 をイオン注入した(図1(a))。なおゲート電極の構成材料は、多結晶シリコンのほか、シリサイド、ポリシリサイド等を用いることができる。これにより不純物拡散層2が形成された。つづいて1000℃で30秒間ランプアニール処理し、ゲート電極内および拡散層2の不純物を活性化した(図1(b))。ついで全面に層間絶縁膜としてシリコン酸化膜4をプラズマCVD法にて形成した(図1(c))。

【0044】ついでシリコン酸化膜4中に不純物拡散層2に達するコンタクトホールをドライエッチングにより形成した。さらに、 Ti/TiN 膜6、タングステン膜7をこの順で形成し、ホール外部の Ti/TiN 膜6、タングステン膜7不要箇所をCMPにより除去してタングステンプラグを形成した。ついでこの上に全面にシリコン窒化膜8をプラズマCVD法にて形成した(図2(a))。

【0045】次に基板の裏面にプラズマCVD法にて SiO_2 からなるバリア膜5(膜厚50nm)を形成した(図2(b))。

【0046】つづいて基板の素子形成面に、層間絶縁膜としてシリコン酸化膜9をプラズマCVD法にて形成した。次に配線溝を形成するため、2段階のドライエッチングを行った。まず C_4F_8 、 Ar 、 O_2 、 CO を含む混合ガスを用いてシリコン酸化膜9をエッチングし、ついで CHF_3 系のガスを用いてシリコン窒化膜8をエッチングした。エッチング終了後、全面に Ti および TiN からなるバリアメタル膜11(膜厚20nm)をスパッタリング法により堆積した。つづいてこの上に、銅めっきを成長させるための銅からなるシード金属膜をスパッタリング法により堆積した(不図示)。つづいて基板を液温約25℃の硫酸銅水溶液に浸漬し、銅めっき膜12を電解めっき法により形成した。銅めっき膜12の膜厚は平坦部で900nm程度とした。ついで溝外部の Ti/TiN 膜11、銅めっき膜12の不要箇所をCMPにより除去して銅配線を形成した。CMPの際、半導体基板の裏面には銅や銅化合物等の銅系金属汚染物質30が多数付着する。この状態を図2(c)に示す。

【0047】つづいて半導体基板裏面の酸化膜5の洗浄を行った。この段階で洗浄を行う理由は、次の工程でシリコン酸化膜やシリコン窒化膜の成膜工程を行うため、成膜装置に対するクロス汚染を防止するためである。ここでクロス汚染とは、ウエハに付着した金属汚染物が他のウエハ処理装置内で飛散して他のウエハに付着したり、ウエハ裏面に付着した金属汚染物がウエハのハンドラを介して他のウエハに付着するなどして、ウエハ間で汚染物が感染することをいう。洗浄に際し、洗浄液として0.3重量%のシュウ酸水溶液にエチレンジアミン四酢酸(EDTA)10ppmを添加したものをを用いた。洗浄は、基板を洗浄液に5分間浸漬することにより行った。この後、純水に5分間浸漬してリンスを行った。これにより銅系金属汚染物質30が実質的に完全に除去される(図3(a))。

【0048】次にシリコン窒化膜13、シリコン酸化膜14、シリコン窒化膜15、およびシリコン酸化膜16を形成した。その後、いわゆるデュアルダマシン法によりスルーホールおよび上層配線を形成した。すなわち、マスクの開口幅およびエッチングガスを変えて多段階のエッチングを行い、断面T字状の溝を形成し、この溝に Ti/TiN 膜17、銅めっき膜18を成膜した。この後、ホール外部の Ti/TiN 膜17、銅めっき膜18の不要箇所をCMPにより除去して上層配線を形成した。CMPを行った際、半導体基板の裏面には銅や銅化合物等の金属汚染物が多数付着する(不図示)。そこで、図3(a)の工程と同様にして、半導体基板裏面の酸化膜5の洗浄を行った。すなわち、洗浄液として0.3重量%のシュウ酸水溶液にエチレンジアミン四酢酸(EDTA)10ppmを添加したものをを用い、基板を洗浄液に5分間浸漬した。この後、純水に5分間浸漬してリンスを行った。これにより金属汚染物が実質的に完

全に除去される。この状態を図3(b)に示す。

【0049】その後、半導体基板裏面のバリア膜5をCMPなどで除去し、半導体装置を完成した。なお、本実施例ではバリア膜5を除去したが、バリア膜を残したままパッケージに組み込むこともできる。

【0050】本実施例では、銅配線形成の際のCMP工程の後にのみ、基板裏面の洗浄を行っている。従来の方法では、この他に銅配線上の溝形成のためのエッチング工程やその後のアッシング工程(不図示)、あるいは銅めっき工程の後等においても洗浄が必要となり、煩雑な工程を要していた。また洗浄を行った場合であっても銅系金属汚染物質が残存することがあり、種々の問題を引き起こす原因となっていた。本実施例の方法によれば、工程短縮を図るとともに、銅系金属汚染物質の基板への拡散の問題を解消できる。

【0051】(実施例2)本実施例は、 SiO_2 からなるバリア膜の形成をコンタクトホール形成前に行った例である。以下、図8~9を参照して説明する。

【0052】まず図8(a)のように、シリコン基板1の表面に素子分離領域を形成した後、シリコン基板1上に多結晶シリコンからなるゲート電極3を形成し、全面に BF_2 をイオン注入した(図8(a))。これにより不純物拡散層2が形成された。つづいて 1000°C で30秒間ランプアニール処理し、ゲート電極内および拡散層2の不純物を活性化した(図8(b))。ついで全面に層間絶縁膜としてシリコン酸化膜4をプラズマCVD法にて形成した(図8(c))。

【0053】次に基板の裏面にプラズマCVD法にて SiO_2 からなるバリア膜5(膜厚50nm)を形成した(図8(a))。

【0054】ついでシリコン酸化膜4中に不純物拡散層2に達するコンタクトホールをドライエッチングにより形成した。さらに、 Ti/TiN 膜6、タングステン膜7をこの順で形成し、ホール外部の Ti/TiN 膜6、タングステン膜7不要箇所をCMPにより除去してタングステンプラグを形成した。ついでこの上に全面にシリコン窒化膜8をプラズマCVD法にて形成した(図2(b))。

【0055】その後は、実施例1における図3(b)以降の工程と同様にして半導体装置を完成した。

【0056】本実施例の方法でも、工程の短縮化を図り、銅系金属汚染物質の基板への拡散の問題を解消することができる。

【0057】(実施例3)バリア膜5の構成を変えたこと以外は実施例1と同様にして半導体装置を作製した。本実施例では、図2(b)の工程において以下のようにしてバリア膜5を形成した。まず基板の裏面にスパッタリング法によりTa膜(膜厚50nm)を成膜した。次いでプラズマCVD法にて SiO_2 膜(膜厚50nm)を形成した。これにより膜厚100nmの Ta/Si

O_2 からなるバリア膜5を形成した。

【0058】本実施例では、銅系金属汚染物質に対して SiO_2 膜よりもバリア性の高い複合膜をバリア膜5としているため、銅系金属汚染物質の基板への拡散をより一層効果的に防止することができる。

【0059】

【発明の効果】以上説明したように本発明によれば、銅系金属膜の形成の前にウエハ裏面のバリア膜を形成しているため、銅系汚染物質の基板中への拡散を防止することができる。このため、銅系金属の成膜や銅配線上の溝の形成等を行った後、その都度基板裏面を洗浄する必要がなく、露光装置や成膜装置等に対するクロス汚染を防止するための洗浄のみで済み、工程を大幅に短縮することができる。またバリア膜に付着した銅系金属汚染物質は、シリコン基板表面に付着した場合と比べはるかに容易に除去でき、残存汚染物質の拡散に伴う問題を効果的に解消することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の工程断面である。

【図2】本発明の半導体装置の製造方法の工程断面である。

【図3】本発明の半導体装置の製造方法の工程断面である。

【図4】従来の半導体装置の製造方法の工程断面である。

【図5】従来の半導体装置の製造方法の工程断面である。

【図6】従来の半導体装置の製造方法の工程断面である。

【図7】従来の半導体装置の製造方法の工程断面である。

【図8】本発明の半導体装置の製造方法の工程断面である。

【図9】本発明の半導体装置の製造方法の工程断面である。

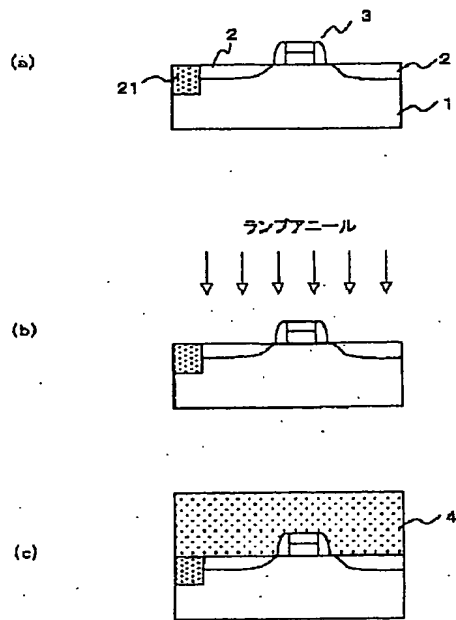
【符号の説明】

- 1 シリコン基板
- 2 不純物拡散層
- 3 ゲート電極
- 4 シリコン酸化膜
- 5 バリア膜
- 6 Ti/TiN 膜
- 7 タングステン膜
- 8 シリコン窒化膜
- 9 シリコン酸化膜
- 11 Ti/TiN 膜
- 12 銅めっき膜
- 13 シリコン窒化膜
- 14 シリコン酸化膜

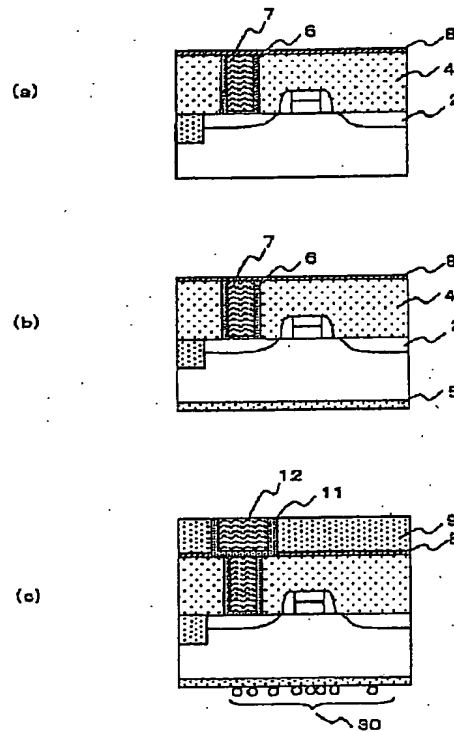
- 15 シリコン窒化膜
16 シリコン酸化膜
17 Ti/TiN膜

- 18 銅めっき膜
21 素子分離領域
30 銅系金属汚染物質

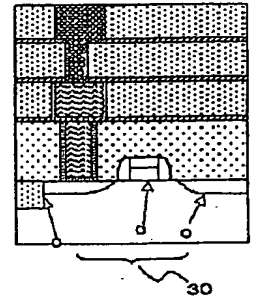
【図1】



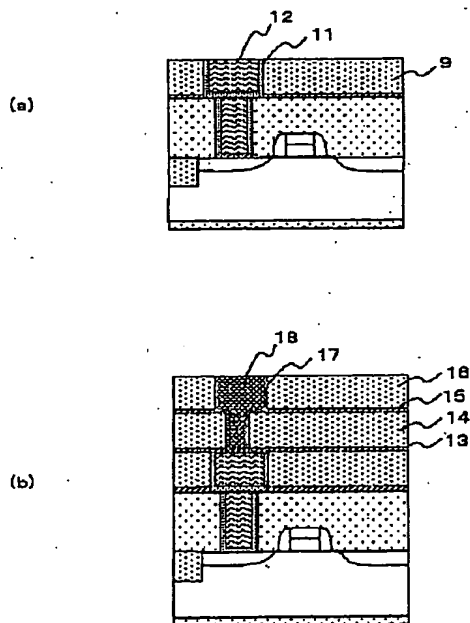
【図2】



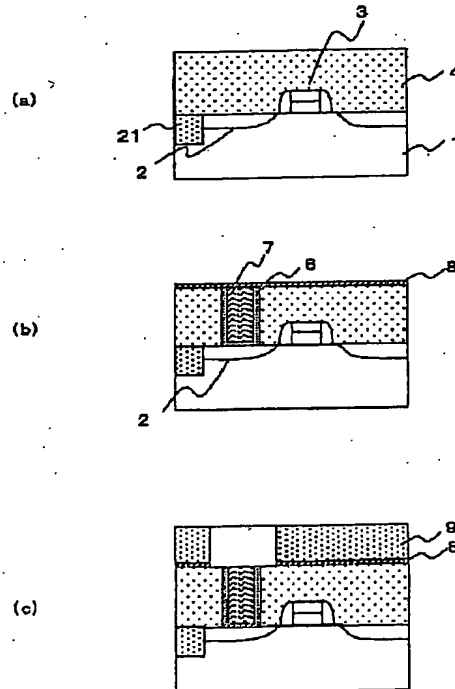
【図7】



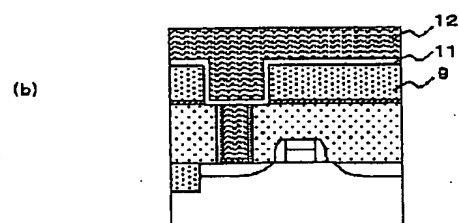
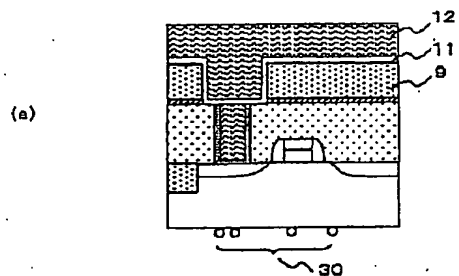
【図3】



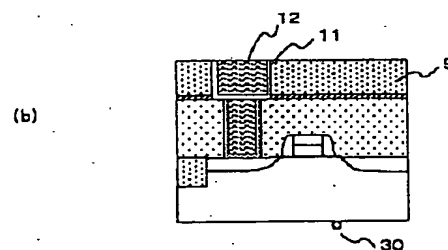
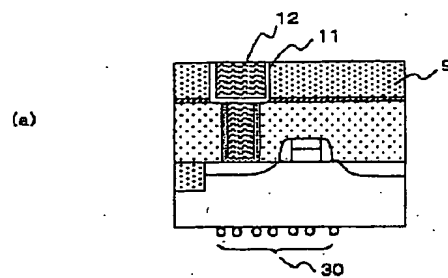
【図4】



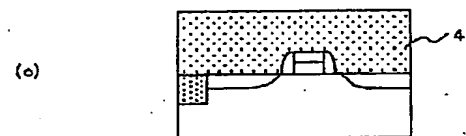
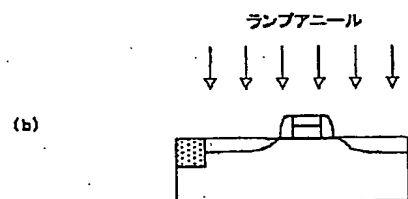
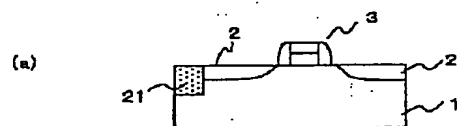
【図5】



【図6】



【図8】



【図9】

